

**SEMICONDUCTOR DEVICE**

Patent Number: JP5075431  
Publication date: 1993-03-26  
Inventor(s): KARUBE SHUNICHI  
Applicant(s): NEC CORP  
Requested Patent: ☐ JP5075431  
Application Number: JP19910232720 19910912  
Priority Number(s):  
IPC Classification: H03K19/0185  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:** To keep strictly accurately the matching of a signal transmission system together with its temperature characteristic even when a circuit with an ECL level for a bipolar transistor (TR) whose temperature characteristic is reverse to that of a MOS TR is connected to output terminals of all output buffers.

**CONSTITUTION:** A gate potential of an output PMOS TR of open drain configuration is controlled by an output of a differential amplifier. An output level at an output terminal 1a is compared and monitored alternately with a potential of a high potential reference voltage generator 10 or a low potential reference voltage generator 11 by using an operational amplifier 6. The result of monitor is fed back to a gate of an NMOS TR N5 deciding an operating current of the differential amplifier to change an output potential of the differential amplifier thereby adjusting a gate potential of a PMOS TR P and making the difference small. The result of monitor is fed back also to other output buffers 4b, 4c on the same chip.

Data supplied from the esp@cenet database - I2



## 【特許請求の範囲】

【請求項1】 CMOSレベルの信号を入力とする論理部と、

この論理部の出力を一方の入力とし、基準電位を他方の入力とする差動増幅器と、

ゲートがこの差動増幅器の正論理出力ノードおよび負論理出力ノードのいずれか一方に接続され、出力用にオープンドレイン構成されたMOS電界効果トランジスタと、

このMOS電界効果トランジスタの出力ノードの電位と基準出力レベルとの差異を監視し、その結果を前記差動増幅器の電流源にフィードバックし、前記差動増幅器をして、前記MOS電界効果型トランジスタのゲートに前記差異を小さくするような電位を与えさせるように動作する演算増幅器とを備えることを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置に関し、特にCMOSレベルをECLレベルに変換して出力するバッファを有する半導体装置に関する。

【0002】

【従来の技術】この種の従来の半導体装置における出力部分の一例の回路図を図3に示す。図3を参照すると、この出力部分は、ドレインが出力端子1に接続され、ソースが電源端子2に接続されたオープンドレインのPチャンネルMOS電界効果型トランジスタ（以後PMOSTランジスタと記す）Pと、出力端子1と電源端子2との間に直列に接続された2つのダイオードD<sub>1</sub>、D<sub>2</sub>と\*

\*からなる。

【0003】PMOSTランジスタPのゲートには、内部の回路（図示せず）からのデータ信号Dが論理部3を介して入力される。このデータ信号Dのレベルは、CMOSレベルである。出力端子1には、この半導体装置の外部にバイポーラトランジスタで構成された回路（図示せず）が接続されている。このバイポーラトランジスタ回路の信号レベルはECLレベルであって、例えば、-2Vと接地電位（電源端子2の電位）の二値をとる。このようにして、CMOSレベルの信号がECLレベルに変換されて伝送される。

【0004】尚、図3において、出力端子1と電源端子2とを間に設けられている二つのダイオードD<sub>1</sub>、D<sub>2</sub>は、出力の振幅を調整するためのものである。すなわち、このダイオードがない場合、出力端子1の電位は、PMOSTランジスタPが導通していないと、外部に接続される終端電位（上の例では-2V）まで降下するのに対して、ダイオードが有ると、このダイオードによって、電源端子2の電位からダイオードの順方向電圧の分だけ下った値（この場合は、2個分で約-1.4V）になる。このように、ダイオードの数によって、出力信号振幅を調整することができる。

【0005】ここで、後の説明の便利のために、上に述べた半導体装置の出力レベルの温度特性について考察しておく。図3において、PMOSTランジスタPが導通状態にある時のドレイン電流をI<sub>D</sub>とすると、I<sub>D</sub>は下記の①式で表わされる。

【0006】

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 \quad \text{①}$$

（但し、V<sub>GS</sub>；PMOSTランジスタPのゲート・ソース間電圧  
V<sub>T</sub>；PMOSTランジスタPのしきい値電圧）

尚、①式において、βは

$$\beta = \mu \cdot C_{ox} \cdot \frac{W}{L}$$

（但し、C<sub>ox</sub>；PMOSTランジスタPのゲート酸化膜容量  
L；PMOSTランジスタPのチャンネル長  
W；PMOSTランジスタPのチャンネル幅）

で表わされる。

【0007】ここでμはキャリアの移動度であり、これは負の温度特性をもっている。つまりMOSTランジスタ構成では、オープンドレインの形で出力段をつくることで、出力レベルが負の温度特性をもつ。このように、

出力レベルが負の温度特性を持つことが、従来の半導体装置の特徴の一つである。

【0008】

【発明が解決しようとする課題】上述したように、従来

の半導体装置では、その出力レベルが負の温度特性を持っている。

【0009】これに対して、この半導体装置から信号をうける方の、外部のバイポーラトランジスタ構成の回路の温度特性について考えてみる。バイポーラトランジスタ\*

\*タの場合、バイポーラトランジスタがエミッタフォロウで接続されているとき、エミッタ・コレクタ間の電位差を $V_{cc}$ とすれば、その出力電圧 $V_o$ は、下記の②式で表わされる。

【0010】

$$V_o = V_{cc} - (R_c \cdot I_E \cdot \frac{h_{FE}}{1 + h_{FE}}) \quad (2)$$

（但し、 $R_c$  : バイポーラトランジスタのコレクタ抵抗

$I_E$  : バイポーラトランジスタのエミッタ電流

$h_{FE}$  : バイポーラトランジスタの電流増幅率

【0011】②式において $I_E$ はベース抵抗に依存しており、 $R_c$ 、 $I_E$ および $h_{FE}$ は全て正の温度特性をもつ。つまり、 $V_o$ は正の温度特性をもっている。

【0012】結局、MOSトランジスタのオープンドレインは負、バイポーラトランジスタのエミッタフォロウは正、と相反する温度特性を有している。このことは、MOSトランジスタで構成された半導体装置が、厳密に

はECLレベルの伝送系になじまないことを意味している。

【0013】つまり、従来のMOSトランジスタ構成の半導体装置には、温度特性までを含めた正確なECLレベルの出力を得ることが困難であるという問題があった。

【0014】

【課題を解決するための手段】本発明の半導体装置は、CMOSレベルの信号を入力とする論理部と、この論理部の出力を一方の入力とし、基準電位を他方の入力とする差動増幅器と、ゲートがこの差動増幅器の正論理出力ノードおよび負論理出力ノードのいずれか一方に接続され、出力用にオープンドレイン構成されたMOS電界効果トランジスタと、このMOS電界効果トランジスタの出力ノードの電位と基準出力レベルとの差異を監視し、その結果を前記差動増幅器の電流源にフィードバックし、前記差動増幅器をして、前記MOS電界効果型トランジスタのゲートに前記差異を小さくするような電位を与えさせるように動作する演算増幅器とを備えることを特徴としている。

【0015】

【実施例】次に、本発明の最適な実施例について図面を用いて説明する。図1は、本発明の第1の実施例の構成を示すブロック図である。

【0016】図1を参照すると、本実施例では、チップ上に同じ構成の複数個（この場合は3個）の出力バッファ4a、4bおよび4cからなる出力バッファ群がある。そして、この出力バッファ群から、任意の出力バッファを1つ（この場合は出力バッファ4a）だけ選択し、その出力を電流源制御回路5内の演算増幅器6に入

かし、基準出力電位と比較してレベルを監視する。監視結果は前述の出力バッファ群内の全ての出力バッファ4a、4bおよび4cの電流源に入力され、反映される。このようにして、この出力バッファ群内の全ての出力バッファの出力レベルを一括制御する。

【0017】以下に本実施例の動作を詳細に説明する。

前述したように、選択されたバッファを出力バッファ4aとすると、その入力端子7より入力されたデータ信号Dは、論理部3aを経て、差動増幅器を構成するNMOSトランジスタN1のゲートに印加される。差動増幅器の他方のNMOSトランジスタN2のゲートには各出力バッファのしきい値となる基準電圧源8の電位が印加されている。そして差動増幅器の負論理出力は、ソースが高位電源端子9に接続されドレインがオープンドレインに構成されたPMOSトランジスタPのゲートに入力される。PMOSトランジスタPのドレイン（出力端子1a）からの出力は、標準ECL出力レベルとの差異を監視する演算増幅器6の負入力端子に入力される。一方、演算増幅器6の正入力端子には高電位基準電圧発生器10からの出力がトランスファゲートのNMOSトランジスタN3を介して入力されるか、或いは、低電位基準電圧発生器11からの出力がトランスファゲートのNMOSトランジスタN4を介して入力される。いずれが入力されるかは、入力端子7へ入力されるデータ信号Dのレベルによって決まる。すなわち、今、論理部3aの出力が“H”であると、出力端子1aのレベルは

“H”となる。この時、電流源制御回路5では、NMOSトランジスタN3が導通するので、高電位基準電圧発生器10の出力が演算増幅器6に入力され、出力端子1aからの“H”レベル出力と比較される。

【0018】反対に論理部3aの出力が“L”であると、出力端子1aのレベルは“L”となる。この時、論理部3aの出力がインバータ12aによって反転され“H”になるので、電流源制御回路5では、NMOSトランジスタN4が導通し、低電位基準電圧発生器11の出力が演算増幅器6に入力される。そして、出力端子1aからの“L”レベル出力と比較される。

【0019】以上の動作により、出力バッファ4aの出力端子1aのレベルは、ハイレベル、ローレベル共に常時監視される。

【0020】標準ECL出力レベルとの間に差異があると、演算増幅器6からはその大きさに応じた出力が出力され、出力バッファ4a内のNMOSトランジスタN<sub>s</sub>のゲートに入力される。この結果、出力バッファ4aを構成する差動増幅器の動作電流が変化し、負荷13と負荷14による電圧降下に差を生じさせる。そして、出力バッファ4aの出力となるPMOSトランジスタPのゲート印加電圧が変化し、出力端子1aの電位が制御される。

【0021】ところで図1によれば、電流源制御回路5の出力は、出力バッファ群の他の出力バッファ4b、4cを構成している差動増幅器の電流源へも接続されている。このことにより、チップ内のつくり込みのばらつきの範囲内で全ての出力バッファの出力レベルを制御することができる。

【0022】次に、本発明の第2の実施例について説明する。図2は、本発明の第2の実施例の構成を示すブロック図である。図2を参照すると、本実施例では、出力レベルと基準出力レベルを比較するための演算増幅器が、ハイレベル用の演算増幅器6Hとローレベル用の演算増幅器6Lとの2つに分割されている。そして、一方の演算増幅器6Hは、出力バッファ4dの出力端子1dのレベルと高電位基準電圧発生器10からの電圧との比較を行なう。また、他方の演算増幅器6Lは、他の出力バッファ4eの出力端子1eのレベルと低電位基準電圧発生器11からの電圧との比較を行う。

【0023】本実施例は、出力バッファ4dの論理部3dの出力がハイレベルのときに導通状態となるトランスファゲートのNMOSトランジスタN<sub>3</sub>を経て、演算増幅器6Hの出力が、各出力バッファの差動増幅器の電流源制御を行なう。また、出力バッファ4eの論理部3eの出力の反転論理で導通状態となるトランスファゲートのNMOSトランジスタN<sub>4</sub>を経て演算増幅器6Lの出力が、各出力バッファの差動増幅器の電流源制御を行なう。

【0024】以上の構成により、本実施例は、チップの製造上のばらつきによる出力レベルの変動を抑制することができるという利点を有している。

【0025】

【発明の効果】以上説明したように、本発明では、オーブドレイン構成の出力MOSトランジスタのゲート電位を差動増幅器の出力で制御するようにしている。そして、出力レベルを常時基準出力レベルと比較し監視して、差異が生じた時にはその差異を差動増幅器の動作電流にフィードバックし、差動増幅器の出力電位を変化させることによって、出力のMOSトランジスタのゲート電位を調整し、差異を小さくするように構成している。しかも、前述の監視結果は、同一チップ上の他の出力バッファにもフィードバックされる。

【0026】このことにより、本発明によれば、周囲温度が変化した時でも、製造時のばらつきの範囲内で、出力レベルを安定に保つことができる。これは、MOSトランジスタの温度特性とバイポーラトランジスタの温度特性とが、互いに逆の特性を示し、従来、MOSトランジスタ構成の半導体装置からの出力を、バイポーラトランジスタ構成の半導体装置に入力する場合には、厳密には整合を取ることが困難であったと考ええると、本発明による半導体装置の出力をECLレベルの回路に入力する時に、特に大きな利点となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における出力部分の構成を示すブロック図である。

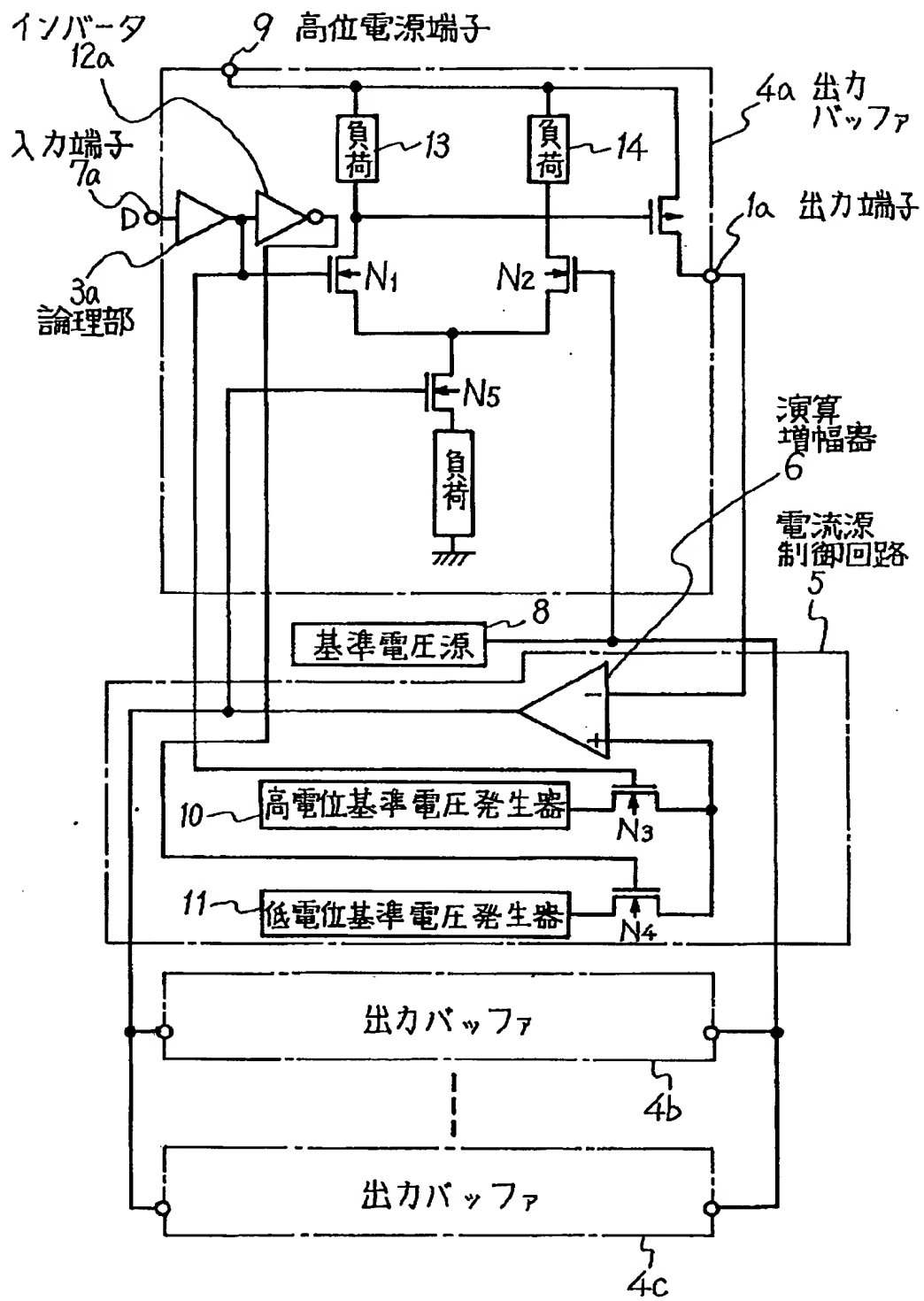
【図2】本発明の第2の実施例における出力部分の構成を示すブロック図である。

【図3】従来の半導体装置における出力部分の回路図である。

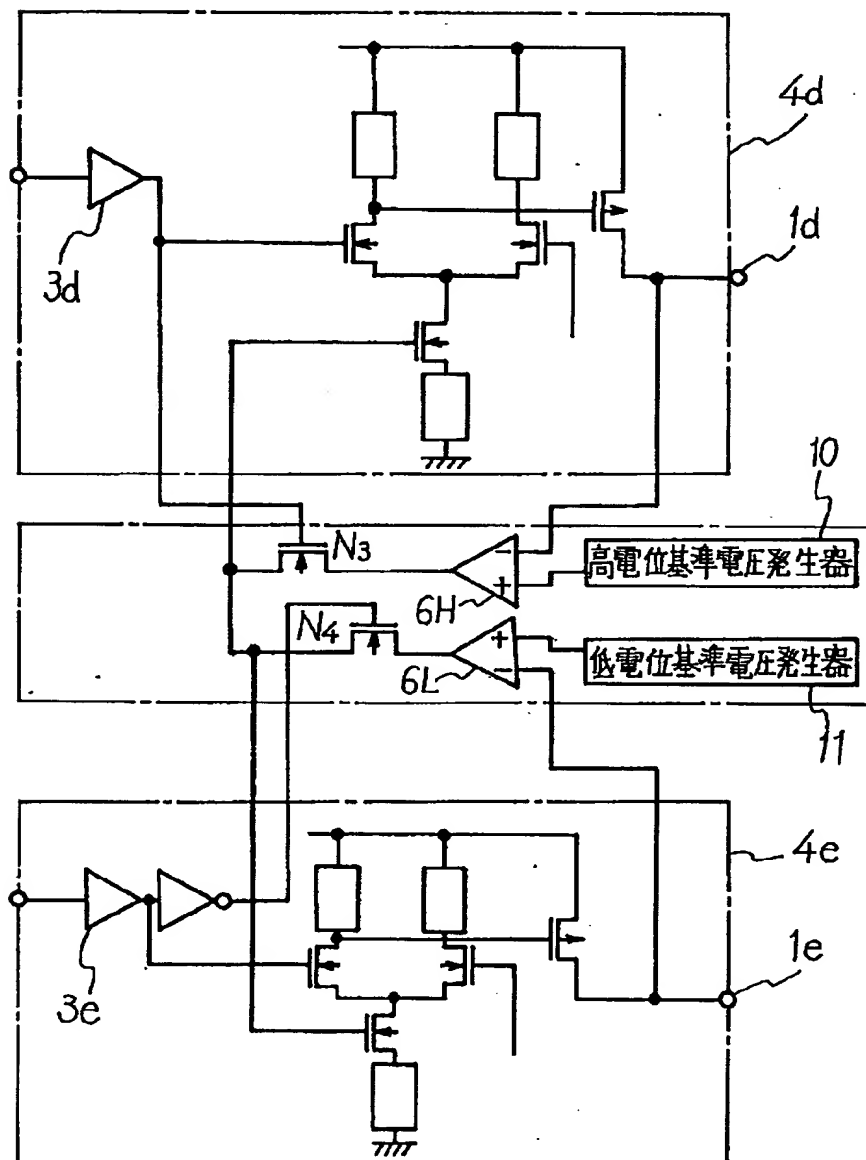
【符号の説明】

- 1, 1a, 1d, 1e 出力端子
- 2 電源端子
- 3, 3a, 3d, 3e 論理部
- 4a, 4b, 4c, 4d 出力バッファ
- 5 電流源制御回路
- 6, 6H, 6L 演算増幅器
- 7a 入力端子
- 8 基準電圧源
- 9 高位電源端子
- 10 高電位基準電圧発生器
- 11 低電位基準電圧発生器
- 12a インバータ
- 13, 14 負荷

【図 1】



1d, 1e; 出力端子	6H, 6L; 演算増幅器
3d, 3e; 論理部	10; 高電位基準電圧発生器
4d, 4e; 出力バッファ	11; 低電位基準電圧発生器



【図 3】

